

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—4327

⑤ Int. Cl.³
H 03 K 19/00
H 01 L 27/08

識別記号
1 0 1

庁内整理番号
6832—5 J
6655—5 F

③ 公開 昭和59年(1984)1月11日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 出力バッファ回路

門真市大字門真1048番地松下電
工株式会社内

① 特 願 昭57—113029

⑦ 出 願 人 松下電工株式会社

② 出 願 昭57(1982)6月30日

門真市大字門真1048番地

⑧ 発 明 者 寺澤富三

④ 代 理 人 弁理士 石田長七

明 細 書

1. 発明の名称

出力バッファ回路

2. 特許請求の範囲

(1) 2個のN-MOSトランジスタを直列接続し、一方のN-MOSトランジスタのゲートに入力される入力信号をU-MOSインバータにて反転して他方のN-MOSトランジスタのゲートに入力し、両N-MOSトランジスタの接続点を出力端子として成る出力バッファ回路。

3. 発明の詳細な説明

本発明は出力バッファ回路に関するものであり、その目的とするところはバッファ能力を減ずることなくチップサイズを小さくすることができる出力バッファ回路を提供することにある。

従来、この種の出力バッファ回路は第1図に示すようにP-MOSトランジスタ(Qp)およびN-MOSトランジスタ(Qn)よりなるU-MOSインバータで構成されるのが一般的であつた。図中(IN)は入力

端子、(OUT)は出力端子である。しかしながら、このような従来例において、両MOSトランジスタ(Qp)(Qn)による電流供給能力(バッファ能力)を等しくしようとした場合、すなわち、出力端子(OUT)から流れ出す電流I₁と、出力端子(OUT)に流れ込む電流I₂とを等しくしようとした場合、P-MOSトランジスタ(Qp)のキャリア移動度(μ_p)が小さいためにチャンネル巾をN-MOSトランジスタ(Qn)に比べて大きくしなければならず、IC化する場合においてチップサイズが大きくなってしまふという問題があつた。ここに、上記P-MOSトランジスタ(Qp)、N-MOSトランジスタ(Qn)を介して流し得る電流I₁, I₂は次式で与えられる。

$$I_1 = \mu_p \frac{W_p}{L_p} f(V_{GSP}, V_{DSP}, V_{THP}) \quad \dots ①$$

$$I_2 = \mu_n \frac{W_n}{L_n} f(V_{GSN}, V_{DSN}, V_{THN}) \quad \dots ②$$

但し、上式の記号の意味は以下の通りである。

μ_p: P-MOSトランジスタ(Qp) のキャリア移動度
μ_n: N-MOSトランジスタ(Qn) のキャリア移動度

W_p : 同チャネル巾 W_N : 同チャネル巾
 L_p : 同チャネル長 L_N : 同チャネル長
 V_{GSF} : 同ゲート・ソース間電圧 V_{GSN} : 同ゲート・ソース間電圧
 V_{DSF} : 同ドレイン・ソース間電圧 V_{DSN} : 同ドレイン・ソース間電圧
 V_{THF} : 同スレッショルド電圧 V_{THN} : 同スレッショルド電圧
 f : V_{GS} , V_{DS} , V_{TH} の関数

いま、上式で得られる電流 I_1, I_2 を等しくし、かつ、
 チュプサイズを小さくしようとする場合、通常、
 $\frac{1}{L_p} f(V_{GSF}, V_{DSF}, V_{THF}) \approx \frac{1}{L_N} f(V_{GSN}, V_{DSN}, V_{THN})$
 とし、

$$\mu_p W_p \approx \mu_n W_N \quad \dots (3)$$

のようにチャネル巾 W_p, W_N を設計する必要がある。ここで、キャリア移動度は $\mu_n > \mu_p$ であるので、チャネル巾 W_p, W_N は

$$\frac{W_p}{W_N} \approx \frac{\mu_n}{\mu_p} > 1 \quad \dots (4)$$

となる。

従つて、P-MOSトランジスタ(Q_p)のチャネル巾(W_p)をN-MOSトランジスタ(Q_N)のチャネル巾(W_N)よりも大きくする必要がある。出力バ

(Q_{N1})(Q_{N2})のチュプサイズは当然のことながら従来例の両MOSトランジスタ(Q_p)(Q_N)のチュプサイズよりも小さくなり、また信号反転用のC-MOSインバータ(CI)を含めたチュプサイズも従来例よりも小さくすることができる。なお、C-MOSインバータ(CI)は入力信号(V_i)を反転するだけのものであつて、電流供給能力は出力用のN-MOSトランジスタ(Q_{N1})(Q_{N2})に比べて大巾に小さくて良いので、P-MOSトランジスタ(Q_p)とN-MOSトランジスタ(Q_{N2})のチュプサイズの幾以下のチュプ面積で容易に形成できることになる。

本発明は上述のように、2個のN-MOSトランジスタを直列接続し、一方のN-MOSトランジスタのゲートに入力される入力信号をC-MOSインバータにて反転して他方のN-MOSトランジスタのゲートに入力し、両N-MOSトランジスタの接続点を出力端子としたものであり、P-MOSトランジスタに比べてチュプサイズを小さくできるN-MOSトランジスタを用いているので、バッファ能力を減ずることなく、チュプサイズを小さく

ツファ回路をIC化する場合において全体のチュプサイズが大きくなってしまいという問題があつた。本発明は上記の点に鑑みて為されたものである。

以下、実施例について図を用いて説明する。第2図は本発明一実施例を示すもので、2個のN-MOSトランジスタ(Q_{N1})(Q_{N2})を直列接続し、一方のN-MOSトランジスタ(Q_{N1})のゲートに入力される入力信号(V_i)をC-MOSインバータ(CI)にて反転して他方のN-MOSトランジスタ(Q_{N2})のゲートに入力し、両N-MOSトランジスタ(Q_{N1})(Q_{N2})の接続点を出力端子(OUT)としたものである。

しかして、本発明にあつては出力端子(OUT)から流れ出す電流(I_1)および出力端子(OUT)に流れ込む電流(I_2)はいずれもN-MOSトランジスタ(Q_{N1})(Q_{N2})を介して流れることになるので、両電流(I_1)(I_2)は共に②式で表わされ、両N-MOSトランジスタ(Q_{N1})(Q_{N2})のチャネル巾(W_{N1})(W_{N2})は同一で良い。また、両N-MOSトランジスタ

することができるという利点がある。

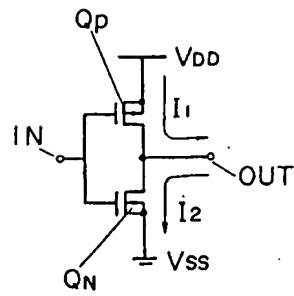
4 図面の簡単な説明

第1図は従来例の構成を示す図、第2図は本発明一実施例の構成を示す図である。

(Q_{N1})(Q_{N2})はN-MOSトランジスタ、(CI)はC-MOSインバータである。

代理人 弁理士 石田 長七

第1図



第2図

